

B
#6



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshiya UCHIDA

Allowed: 1/25/93

Serial No.: 07/757,154

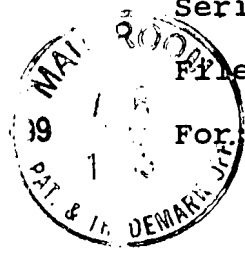
Group Art Unit: 2511

Filed: September 10, 1991

Examiner: D. Yoo

For: SEMICONDUCTOR MEMORY DEVICE
HAVING WORD LINE DRIVER

BATCH NO.: J82



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Honorable Commissioner
of Patents and Trademarks
Washington, D. C. 20231

April 20, 1993

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2-244585
filed: September 14, 1990

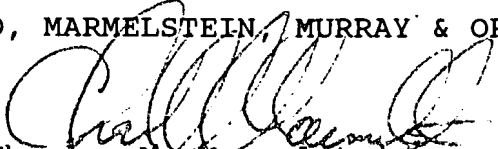
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of this document.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 14-1060.

Respectfully submitted,

NIKAIDO, MARMELSTEIN, MURRAY & ORAM



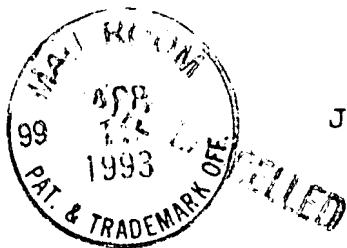
Charles M. Marmelstein
Reg. No. 25,895

Atty. Docket No.: P353-1506

Metropolitan Square
655 15th Street, N. W.
Suite 330 - G Street Lobby
Washington, D. C. 20005-5701
Tel: (202) 638-5000
Fax: (202) 638-4810

CMM:mms

Enclosure: Priority Document (1)



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true
copy of the following application as filed with this
Office.



Date of Application: September 14, 1990
Application Number: Japanese Patent Application
No. 2-244585
Applicant(s): FUJITSU LIMITED

November 1, 1991

Commissioner,

Patent Office

Wataru Fukazawa

(Seal)



本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1990年9月14日

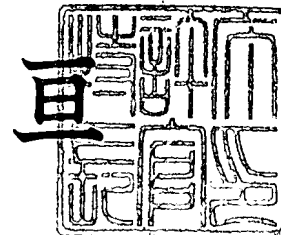
出 願 番 号
Application Number: 平成2年特許願第244585号

出 願 人
Applicant (s): 富士通株式会社

1991年11月1日

特許庁長官
Commissioner,
Patent Office

深 沢



出証平 3-50340

国際特許分類	
サブクラス	グループ
G11C	11/34

特 許 原 頁 (1)

(14,000円)

平成 27 年 9 月 14 日

特 許 庁 長 官 殿

1 発 明 の 名 称

半 導 体 記 憶 装 置

2 請 求 項 の 数 4

3 発 明 者 住 所 神奈川県川崎市中原区上小田中1015番地
富 士 通 株 式 会 社 内

氏 名 内 田 敏 也

4 特許出願人 郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地

(522) 名 称 富士通株式会社

代 表 者 関 澤 義

5 代 理 人 郵便番号 160

住 所 東京都新宿区大京町9番地

エ ク シ ー ド 四 谷 2 階

(8747) 氏 名 弁 理 士 北 野 好 人

電 話 (03) 5379-8181



6 添附書類の目録

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 委 任 状	1 通
(4) 願 書 副 本	1 通

明 細 書

1. 発明の名称

半 導 体 記 憶 装 置

2. 特許請求の範囲

1. 第 1 のワード線と、

前記第 1 のワード線と平行に設けられた第 2 のワード線と、

前記第 1 のワード線及び第 2 のワード線に対し直交する方向に設けられたワード線活性化信号供給線と、

前記第 1 のワード線及び第 2 のワード線に対し直交する方向に沿って形成された素子分離領域と、

前記素子分離領域に隣接して設けられ、前記ワード線活性化信号供給線に接続された第 1 の不純物領域と、デコーダに接続された第 1 のゲート電極と、前記第 1 のワード線に接続された第 2 の不純物領域とを有し、前記第 1 のワード線を活性化する第 1 のドライバと、

前記素子分離領域の前記第 1 のドライバの反対側に設けられ、前記ワード線活性化信号供給線に接続された第 3 の不純物領域と、前記デコーダに接続された第 2 のゲート電極と、前記第 2 のワード線に接続された第 4 の不純物領域とを有し、前記第 2 のワード線を活性化する第 2 のドライバとを備えたことを特徴とする半導体記憶装置。

2. 請求項 1 記載の半導体記憶装置において、前記ワード線活性化信号供給線は、いずれか一方がワード線活性化信号を発生する第 1 の昇圧信号線と第 2 の昇圧信号線とからなり、

前記第 1 のドライバの前記第 1 の不純物領域は前記第 1 の昇圧信号線に接続され、

前記第 2 のドライバの前記第 3 の不純物領域は前記第 2 の昇圧信号線に接続されている

ことを特徴とする半導体記憶装置。

3. 請求項 1 又は 2 記載の半導体記憶装置において、

前記第 1 のドライバは、2 個の前記第 1 の不純物領域と 2 個の前記第 1 のゲート電極を備え、

()

前記第 1 の不純物領域と前記第 1 のゲート電極により、前記第 2 の不純物領域を両側から挟んで形成され、

前記第 2 のドライバは、2 個の前記第 3 の不純物領域と 2 個の前記第 2 のゲート電極を備え、

前記第 3 の不純物領域と前記第 2 のゲート電極により、前記第 4 の不純物領域を両側から挟んで形成されたこと

を特徴とする半導体記憶装置。

4. 請求項 3 記載の半導体記憶装置において、前記 2 個の第 1 のゲート電極の各々の終端を接続して U 型の第 1 のゲート電極を形成し、

前記第 2 の不純物領域は、前記 U 型の第 1 のゲート電極に取り囲まれて形成され、

前記 2 個の第 2 のゲート電極の各々の終端を接続して U 型の第 2 のゲート電極を形成し、

前記第 4 の不純物領域は、前記 U 型の第 2 のゲート電極に取り囲まれて形成されたこと

を特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔概要〕

ワード線を駆動するワード・ドライバを有する半導体記憶装置に関し、

ソースドレイン間耐圧及び素子間耐圧の低下を防止しつつ、信頼性が高く、集積度の優れた半導体記憶装置を提供することを目的とし、

第1のワード線と、前記第1のワード線と平行に設けられた第2のワード線と、前記第1のワード線及び第2のワード線に対し直交する方向に設けられたワード線活性化信号供給線と、前記第1のワード線及び第2のワード線に対し直交する方向に沿って形成された素子分離領域と、前記素子分離領域に隣接して設けられ、前記ワード線活性化信号供給線に接続された第1の不純物領域と、デコーダに接続された第1のゲート電極と、前記第1のワード線に接続された第2の不純物領域とを有し、前記第1のワード線を活性化する第1のドライバと、前記素子分離領域の前記第1のドラ

イバの反対側に設けられ、前記ワード線活性化信号供給線に接続された第3の不純物領域と、前記デコーダに接続された第2のゲート電極と、前記第2のワード線に接続された第4の不純物領域とを有し、前記第2のワード線を活性化する第2のドライバとを備えたように構成する。

〔産業上の利用分野〕

本発明は、ワード線を駆動するワード・ドライバを有する半導体記憶装置に関する。

〔従来の技術〕

近年、半導体記憶装置の高集積化が望まれ、ダイナミックRAM等の半導体記憶装置を構成する単位素子の微細化が進められている。単位素子、例えばダイナミックメモリセルの微細化の手段としては、ゲート長、ゲート酸化膜厚、素子間分離幅等の短縮があげられる。

これらゲート長やゲート酸化膜厚等を微細化すると、素子に印加する電圧もスケーリング則に従

い比例して低下させる必要がある。

しかし、半導体記憶装置のワード・デコーダのように高い電圧を入力することが必要な回路においては、十分な耐圧を持たせる必要があり、そのためゲート長や素子間分離幅等の微細化に制限が生じている。

一方、セルの微細化にはワード線の間隔も狭くする必要がある。従って、例えばワード線を選択するワード・デコーダのワード・ドライバ列の単位回路の幅も、ワード線の間隔に応じて短縮する必要がある。

従来の半導体記憶装置のワード・ドライバを第9図乃至第11図を用いて説明する。第9図は、従来の半導体記憶装置のワード・ドライバの平面図、第10図及び第11図は、それぞれ従来の半導体記憶装置のワード・ドライバのA-A断面図、B-B断面図である。

第9図は、ワード・デコーダに対してプリ・デコードされたワード線活性化信号を用いるため、2つの昇圧信号線100及び200が設けられた

ワード・ドライバを示している。ワード・ドライバは、 n チャネルMOSトランジスタで構成されている。

セル・アレー（図示せず）に信号を出力するためのワード線50～60が平行に形成されている。昇圧信号線100及び200が、ワード線50～60に対し直角に形成されている。

二つの昇圧信号線100及び200に挟まれた領域に、ワード線50～60と平行に素子間分離領域7、7'、7"が形成されている。素子間分離領域7、7'、7"で分離され、ワード線50～60に対し平行に設けられた素子領域8、8'、9、9'内に、ワード・ドライバ1～6が形成されている。各ワード・ドライバ1～6は、それぞれゲート電極を挟んでソース領域及びドレイン領域が形成されたMOSFETで構成されている。

素子領域8、8'内には、ドライバ2、ドライバ3、ドライバ6が形成されている。ドライバ2は、昇圧信号線100のワード線活性化信号を入力するドレイン領域32と、ゲート電極80、及

びワード線 50 とワード線コンタクト 12 により接続されたソース領域 20 で構成され、ドライバ 3 は、昇圧信号線 100 のワード線活性化信号を入力するドレイン領域 32 と、ゲート電極 82、及びワード線 54 とワード線コンタクト 10 により接続されたソース領域 21 で構成され、ドライバ 6 は、昇圧信号線 100 のワード線活性化信号を入力するドレイン領域 36 と、ゲート電極 84、及びワード線 58 とワード線コンタクト 13 により接続されたソース領域 22 で構成されている。昇圧信号線 100 に接続されているドレイン領域 32 は、ドライバ 2 及びドライバ 3 で共通に使用されている（第 10 図、第 11 図参照）。

素子領域 9、9' 内には、ドライバ 1、ドライバ 4、ドライバ 5 が形成されている。ドライバ 1 は、昇圧信号線 200 のワード線活性化信号を入力するドレイン領域 38 と、ゲート電極 86、及びワード線 52 とワード線コンタクト 14 により接続されたソース領域 23 で構成され、ドライバ 4 は、昇圧信号線 200 のワード線活性化信号を

入力するドレイン領域 4 2 と、ゲート電極 8 8、及びワード線 5 6 とワード線コンタクト 1 1 により接続されたソース領域 2 4 で構成され、ドライバ 5 は、昇圧信号線 2 0 0 のワード線活性化信号を入力するドレイン領域 4 2 と、ゲート電極 9 0、及びワード線 6 0 とワード線コンタクト 1 5 により接続されたソース領域 2 5 で構成されている（第 1 1 図参照）。

昇圧信号線 2 0 0 に接続されているドレイン領域 4 2 は、ドライバ 4 及びドライバ 5 で共通に使用されている。

各ワード線 5 0 ～ 6 0 は昇圧信号線 1 0 0 上方のセル・アレー（図示せず）に接続されている。

第 9 図中、昇圧信号線 2 0 0 下方にデコーダ（図示せず）が設けられている。

ドライバ 1 のゲート電極 8 6 とドライバ 2 のゲート電極 8 0 は、デコーダからの信号線 7 0 に共通接続されている。ドライバ 3 のゲート電極 8 2 とドライバ 4 のゲート電極 8 8 は、デコーダからの信号線 7 2 に共通接続されている。ドライバ 5

のゲート電極 90 とドライバ 6 のゲート電極 84 は、デコーダからの信号線 74 に共通接続されている。

以上のようにドライバ回路を構成することにより、1つのデコーダでワード線 2 本を制御することができる。この 1 デコーダで使用されるドライバが占有する幅を 1 デコーダ・ピッチとする。従って、1 デコーダ・ピッチを短縮できれば素子の微細化が可能である。

[発明が解決しようとする課題]

昇圧信号線 100 及び 200 の電圧に対し、素子間の耐圧を確保するには、例えばドライバ 3 及びドライバ 4 の出力であるワード線 54、56 間に素子分離領域 7 を設ける必要がある。この素子分離領域 7 の 1 デコーダ・ピッチ方向の幅は、素子間の耐圧を確保できる程度に大きく取る必要がある。このためドライバ 3 及びドライバ 4 のゲート長が、昇圧信号線 100 及び 200 の電圧に対して十分に大きく取れないことになり、ドライバ

3 及びドライバ 4 のソースドレイン間耐圧が低下するという問題を生じる。

逆に、ドライバ 3 及びドライバ 4 のゲート長を昇圧信号線 100 及び 200 の電圧に対して十分大きくとると、素子分離領域 7 の 1 デコーダ・ピッチ方向の幅が昇圧信号線 100 及び 200 の電圧に対して十分に確保できないことになり、素子間耐圧が低下する。このことは、素子の信頼性上大きな問題となり微細化が進むにつれてさらに深刻となる。

本発明の目的は、ソースドレイン間耐圧及び素子間耐圧の低下を防止しつつ、信頼性が高く、集積度の優れた半導体記憶装置を提供することにある。

〔課題を解決するための手段〕

上記目的は、第 1 のワード線と、前記第 1 のワード線と平行に設けられた第 2 のワード線と、前記第 1 のワード線及び第 2 のワード線に対し直交する方向に設けられたワード線活性化信号供給線

と、前記第 1 のワード線及び第 2 のワード線に対し直交する方向に沿って形成された素子分離領域と、前記素子分離領域に隣接して設けられ、前記ワード線活性化信号供給線に接続された第 1 の不純物領域と、デコーダに接続された第 1 のゲート電極と、前記第 1 のワード線に接続された第 2 の不純物領域とを有し、前記第 1 のワード線を活性化する第 1 のドライバと、前記素子分離領域の前記第 1 のドライバの反対側に設けられ、前記ワード線活性化信号供給線に接続された第 3 の不純物領域と、前記デコーダに接続された第 2 のゲート電極と、前記第 2 のワード線に接続された第 4 の不純物領域とを有し、前記第 2 のワード線を活性化する第 2 のドライバとを備えたことを特徴とする半導体記憶装置によって達成される。

〔作用〕

本発明によれば、ソースドレイン間耐圧及び素子間耐圧の低下を防止しつつ、信頼性が高く、集積度の優れた半導体記憶装置を実現できる。

〔実施例〕

本発明の第 1 の実施例による半導体記憶装置を第 1 図乃至第 5 図を用いて説明する。

第 1 図は本発明の第 1 の実施例による半導体記憶装置のワード・ドライバの平面図、第 2 図は本発明の第 1 の実施例による半導体記憶装置のワード・ドライバの A - A 断面図、第 3 図は本発明の第 1 の実施例による半導体記憶装置のワード・ドライバの B - B 断面図である。

本実施例のワード・ドライバは、ワード・デコーダに対してプリ・デコードされたワード線活性化信号を用いるため 2 つの昇圧信号線 100 及び 200 を設けたワード・ドライバである。

セル・アレー（図示せず）に信号を出力するためのワード線 50 ～ 60 がそれぞれ平行に形成されている。ワード線 50 ～ 60 に対し直角に昇圧信号線 100 及び 200 が形成されている。

二つの昇圧信号線 100 及び 200 のほぼ中間に、ワード線 50 ～ 60 に対し直交する方向に素

子間分離領域 7 が形成されている。素子間分離領域 7 と昇圧信号線 1 0 0 の間に素子領域 8 が形成されている。素子間分離領域 7 と昇圧信号線 2 0 0 の間に素子領域 9 が形成されている。

素子領域 8 内には、ドライバ 2、ドライバ 2'、ドライバ 3、ドライバ 3'、ドライバ 6、ドライバ 6' が形成されている。

ドライバ 2 は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 0 と、ゲート電極 8 0、及びワード線 5 0 とワード線コンタクト 1 2 により接続されたソース領域 2 0 で構成され、ドライバ 2' は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 2 と、ゲート電極 8 1、及びワード線 5 0 とワード線コンタクト 1 2 により接続されたソース領域 2 0 で構成され、ドライバ 2 とソース領域 2 0 を共通にする一組のトランジスタを構成している。

ドライバ 3 は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 2 と、ゲート電極 8 2、及びワード線 5 4 とワード線コンタク

ト 1 0 により接続されたソース領域 2 1 で構成され、ドライバ 3 ' は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 4 と、ゲート電極 8 3 、及びワード線 5 4 とワード線コンタクト 1 0 により接続されたソース領域 2 1 で構成され、ドライバ 3 とソース領域 2 1 を共通にする一組のトランジスタを構成している。

ドライバ 6 は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 4 と、ゲート電極 8 4 、及びワード線 5 8 とワード線コンタクト 1 3 により接続されたソース領域 2 2 で構成され、ドライバ 6 ' は、昇圧信号線 1 0 0 のワード線活性化信号を入力するドレイン領域 3 6 と、ゲート電極 8 5 、及びワード線 5 8 とワード線コンタクト 1 3 により接続されたソース領域 2 2 で構成され、ドライバ 6 とソース領域 2 2 を共通にする一組のトランジスタを構成している。

昇圧信号線 1 0 0 に接続されているドレイン領域 3 2 は、ドライバ 2 ' 及びドライバ 3 で共通に使用され、ドレイン領域 3 4 は、ドライバ 3 ' 及

びドライバ6で共通に使用されている（第2図、第3図参照）。

素子領域9内には、ドライバ1、ドライバ1'、ドライバ4、ドライバ4'、ドライバ5、ドライバ5'が形成されている。

ドライバ1は、昇圧信号線200のワード線活性化信号を入力するドレイン領域38と、ゲート電極86、及びワード線52とワード線コンタクト14により接続されたソース領域23で構成され、ドライバ1'は、昇圧信号線200のワード線活性化信号を入力するドレイン領域40と、ゲート電極87、及びワード線52とワード線コンタクト14により接続されたソース領域23で構成され、ドライバ1とソース領域23を共通にする一組のトランジスタを構成している。

ドライバ4は、昇圧信号線200のワード線活性化信号を入力するドレイン領域40と、ゲート電極88、及びワード線56とワード線コンタクト11により接続されたソース領域24で構成され、ドライバ4'は、昇圧信号線200のワード

線活性化信号を入力するドレイン領域42と、ゲート電極89、及びワード線56とワード線コンタクト11により接続されたソース領域24で構成され、ドライバ4とソース領域24を共通にする一組のトランジスタを構成している。

ドライバ5は、昇圧信号線200のワード線活性化信号を入力するドレイン領域42と、ゲート電極90、及びワード線60とワード線コンタクト15により接続されたソース領域25で構成され、ドライバ5は、昇圧信号線200のワード線活性化信号を入力するドレイン領域44と、ゲート電極91、及びワード線60とワード線コンタクト15により接続されたソース領域25で構成され、ドライバ5とソース領域25を共通にする一組のトランジスタを構成している。

昇圧信号線200に接続されているドレイン領域40は、ドライバ1'及びドライバ4で共通に使用され、ドレイン領域42は、ドライバ4'及びドライバ5で共通に使用されている（第2図、第3図参照）。

各ワード線は昇圧信号線 100 上方のセル・アレー（図示せず）に接続されている。

第 1 図中、昇圧信号線 200 下方にデコーダ（図示せず）が設けられている。

ドライバ 2 のゲート電極 80 とドライバ 1 のゲート電極 86 とが接続され、ドライバ 2' のゲート電極 81 とドライバ 1' のゲート電極 87 とが接続され、これら 2 本のゲート電極はデコーダからの信号線 70 に共通接続されている。

ドライバ 3 のゲート電極 82 とドライバ 4 のゲート電極 88 とが接続され、ドライバ 3' のゲート電極 83 とドライバ 4' のゲート電極 89 とが接続され、これら 2 本のゲート電極はデコーダからの信号線 72 に共通接続されている。

ドライバ 6 のゲート電極 84 とドライバ 5 のゲート電極 90 とが接続され、ドライバ 6' のゲート電極 85 とドライバ 5' のゲート電極 91 とが接続され、これら 2 本のゲート電極はデコーダからの信号線 74 に共通接続されている。

本実施例は 1 / 2 プリデコードであるので、例

例えば一組のワード線 54 と 56 を制御するために必要な 1 デコーダ・ピッチは、ドレイン領域 32 とドレイン領域 34 間又は及びドレイン領域 40 とドレイン領域 42 間の長さとなる。

第 4 図の等価回路を用いて、本実施例の半導体記憶装置の動作を説明する。

本等価回路は、ドライバ回路に n チャネル MOS トランジスタを用いて構成したワード・ドライバ及びデコーダ回路である。本等価回路は、1 デコーダで 2 本のワード線を制御する 1 / 2 プリデコードであり、例として一組のワード線 54 と 56 を制御するために必要な 1 デコーダ・ピッチ内の回路を説明する。

昇圧信号線 100 のワード線活性化信号を入力する n チャネルトランジスタ Q3 にワード線 54 が接続され、昇圧信号線 200 のワード線活性化信号を入力する n チャネルトランジスタ Q4 にワード線 56 が接続されている。n チャネルトランジスタ Q3 がドライバ 3 及びドライバ 3' に対応し、n チャネルトランジスタ Q4 がドライバ 4 及

びドライバ4'に対応している。

nチャネルトランジスタQ3のゲート電極は、nチャネルトランジスタQ4のゲート電極と接続され、デコーダ部（図中破線内）のカットゲート310を介してインバータ300に接続されている。nチャネルトランジスタ305のゲート電極は、nチャネルトランジスタ306のゲート電極と接続され、デコーダ部のインバータ301を介してインバータ300に接続されている。

インバータ300は、nチャネルトランジスタ303及びpチャネルトランジスタ307に接続されている。

nチャネルトランジスタ303のゲート電極にはプリ・デコーダ（図示せず）からの信号A0が入力され、nチャネルトランジスタ303と直列に接続されたnチャネルトランジスタ304のゲート電極にはプリ・デコーダからの信号A1が入力される。pチャネルトランジスタ307のゲート電極にはリセット信号/Rが入力される。

インバータ300のnチャネルトランジスタ3

03側にpチャネルトランジスタ308のドレインが接続され、インバータ300のカットゲート310側がpチャネルトランジスタ308のゲート電極に接続されている。

アクセスすべきメモリ・セルのメモリ・アドレス下位3ビットより上位のビットはデコーダ手前のプリデコーダ(図示せず)でデコードされている。デコーダ部の入力A0、A1は、メモリ・アドレスの下位2ビット目及び3ビット目に対応している。nチャネルトランジスタQ3、Q4を駆動するための昇圧信号線100及び200のワード線活性化信号は、メモリ・アドレスの最下位ビットに対応している。

入力信号A0、A1の両方にHレベル信号が入力されたときのみ、ワード線54とワード線56の組が選択され、昇圧信号線100又は昇圧信号線200のワード線活性化信号のどちらか一方がHレベルになることにより、ワード線54又はワード線56のどちらか一方が選択される。

すなわち、入力信号A0、A1の両方がHレベ

ルになると、nチャネルトランジスタQ3及びnチャネルトランジスタQ4のゲート電極はHレベルになり、nチャネルトランジスタ305及びnチャネルトランジスタ306のゲート電極はLレベルになる。このとき昇圧信号線100のワード線活性化信号がHレベルになるとnチャネルトランジスタQ3がオンしているのでワード線54がHレベルに選択される。昇圧信号線100と200はメモリ・アドレスの最下位ビットに対応しているので昇圧信号線100のワード線活性化信号がHレベルの場合は昇圧信号線200はLレベルとなり、nチャネルトランジスタQ4はオンしているが、ワード線56はLレベルとなる。昇圧信号線100のワード線活性化信号がLレベルの場合は、昇圧信号線200のワード線活性化信号はHレベルとなり、nチャネルトランジスタQ4を介してワード線56が選択される。このようにして、目的のメモリ・セルが選択される。

本実施例におけるドライバはpチャネルMOSトランジスタを用いて構成することもできる。ド

ライバに p チャネル MOS トランジスタを用いた場合の等価回路を第 5 図を用いて説明する。

本等価回路は、ドライバ 3、3'、4、4' に p チャネル MOS トランジスタを用いて構成したワード・ドライバ及びデコード回路である。

昇圧信号線 100 のワード線活性化信号が入力される p チャネルトランジスタ Q3 にワード線 54 が接続され、昇圧信号線 200 のワード線活性化信号が入力される p チャネルトランジスタ Q4 にワード線 56 が接続されている。p チャネルトランジスタ Q3 がドライバ 3 及びドライバ 3' に対応し、p チャネルトランジスタ Q4 がドライバ 4 及びドライバ 4' に対応している。

p チャネルトランジスタ Q3 及び n チャネルトランジスタ 305 のゲート電極は、p チャネルトランジスタ Q4 及び n チャネルトランジスタ 306 のゲート電極と接続され、レベルシフト部の CMOS 回路に接続されている。レベルシフト部の CMOS 回路は、n チャネルトランジスタ 401 及び p チャネルトランジスタ 403 で構成され、

pチャネルトランジスタQ3、Q4のワード線活性化信号と同一の電圧をゲート電極に供給する。

pチャネルトランジスタ403とpチャネルトランジスタ402は昇圧電源400と接続されている。pチャネルトランジスタ402及びCMOS回路は310を介してデコーダ部のインバータ300に接続されている。

インバータ300は、nチャネルトランジスタ303及びpチャネルトランジスタ307に接続されている。

nチャネルトランジスタ303のゲート電極にはプリ・デコーダ（図示せず）からの信号A0が入力され、nチャネルトランジスタ303と直列に接続されたnチャネルトランジスタ304のゲート電極にはプリ・デコーダからの信号A1が入力される。pチャネルトランジスタ307のゲート電極にはリセット信号/Rが入力される。

インバータ300のnチャネルトランジスタ303側にpチャネルトランジスタ308のドレインが接続され、インバータ300のカットゲート

310側がpチャネルトランジスタ308のゲート電極に接続されている。

本実施例によれば、1デコーダ・ピッチ中にワード線と平行に存在していた素子間分離領域を無くすことができ、また従来1デコーダ内で、ワード線と直交する方向に2個存在していたワード線コンタクトを1つにすることができる。従って、デコーダ・ピッチ方向の幅に余裕ができ、ワード・ドライバのゲート長を必要十分なだけ確保することができる。

また、ワード線に対し直角方向に素子間分離領域を形成するので、素子間分離領域の幅を広く形成しても、デコーダ・ピッチの幅が広がることもない。

本発明の第2の実施例による半導体記憶装置を第6図を用いて説明する。

本実施例は、第1の実施例における各ドライバのゲート電極の形状を変更したことに特徴を有する。

すなわち、対となってトランジスタを構成して

いるドライバ1～6及び1'～6'の各ゲート電極80～91の終端を各々接続し、各ゲート電極80～91で各ソース領域20～25のワード線コンタクト10～15の周囲を取り囲むような形状にしたものである。

こうすることにより、2つの昇圧信号線100と200の間隔についても、より短縮することができる。

本発明の第3の実施例による半導体記憶装置を第7図及び第8図を用いて説明する。

第7図は本発明の第3の実施例による半導体記憶装置のワード・ドライバの平面図、第8図は本発明の第3の実施例による半導体記憶装置の等価回路図である。

本実施例は、昇圧信号線を用いたプリデコードを行うことなく、1本のワード線に対して1つのデコーダを設けた場合のワード・ドライバであることを特徴とする。

本実施例のワード・ドライバは、pチャネルMOSトランジスタで構成されている。

第7図中、外部電源220上方に設けられたセル・アレー（図示せず）に信号を出力するワード線50～60がそれぞれ平行に形成されている。ワード線50～60に対し直角に外部電源220が形成されている。

外部電源220を介してセル・アレーの反対側に、ワード線50～60に対し垂直方向に形成された素子間分離領域7を挟んで素子領域8と素子領域9が形成されている。

素子領域8内には、ドライバ2、ドライバ2'、ドライバ3、ドライバ3'、ドライバ6、ドライバ6'が形成されている。

ドライバ2は、外部電源220に接続されたソース領域30'と、ゲート電極80、及びワード線50とワード線コンタクト12により接続されたドレイン領域20'で構成され、ドライバ2'は、外部電源220に接続されたソース領域32'と、ゲート電極81、及びワード線50とワード線コンタクト12により接続されたドレイン領域20'で構成され、ドライバ2とドレイン領域

20'を共通にする一組のトランジスタを構成している。

ドライバ3は、外部電源220に接続されたソース領域32'と、ゲート電極82、及びワード線54とワード線コンタクト10により接続されたドレイン領域21'で構成され、ドライバ3'は、外部電源220に接続されたソース領域34'と、ゲート電極83、及びワード線54とワード線コンタクト10により接続されたドレイン領域21'で構成され、ドライバ3とドレイン領域21'を共通にする一組のトランジスタを構成している。

ドライバ6は、外部電源220に接続されたソース領域34'と、ゲート電極84、及びワード線58とワード線コンタクト13により接続されたドレイン領域22'で構成され、ドライバ6'は、外部電源220に接続されたソース領域36'と、ゲート電極85、及びワード線58とワード線コンタクト13により接続されたドレイン領域22'で構成され、ドライバ6とドレイン領域

22' を共通にする一組のトランジスタを構成している。

外部電源 220 に接続されたソース領域 32' は、ドライバ 2' 及びドライバ 3 で共通に使用され、ソース領域 34' は、ドライバ 3' 及びドライバ 6 で共通に使用されている。

素子領域 9 内には、ドライバ 1、ドライバ 1'、ドライバ 4、ドライバ 4'、ドライバ 5、ドライバ 5' が形成されている。

ドライバ 1 は、接続線 45 によりソース領域 30' を介して外部電源 220 に接続されたソース領域 38' と、ゲート電極 86、及びワード線 52 とワード線コンタクト 14 により接続されたドレイン領域 23' で構成され、ドライバ 1' は、接続線 46 によりソース領域 32' を介して外部電源 220 に接続されたソース領域 40' と、ゲート電極 87、及びワード線 52 とワード線コンタクト 14 により接続されたドレイン領域 23' で構成され、ドライバ 1 とドレイン領域 23' を共通にする一組のトランジスタを構成している。

ドライバ４は、接続線４６によりソース領域３２'を介して外部電源２２０に接続されたソース領域４０'と、ゲート電極８８、及びワード線５６とワード線コンタクト１１により接続されたドレイン領域２４'で構成され、ドライバ４'は、接続線４７によりソース領域３４'を介して外部電源２２０に接続されたソース領域４２'と、ゲート電極８９、及びワード線５６とワード線コンタクト１１により接続されたドレイン領域２４'で構成され、ドライバ４とドレイン領域２４'を共通にする一組のトランジスタを構成している。

ドライバ５は、接続線４７によりソース領域３４'を介して外部電源２２０に接続されたソース領域４２'と、ゲート電極９０、及びワード線６０とワード線コンタクト１５により接続されたドレイン領域２５'で構成され、ドライバ５'は、接続線４８によりソース領域３６'を介して外部電源２２０に接続されたソース領域４４'と、ゲート電極９１、及びワード線６０とワード線コンタクト１５により接続されたドレイン領域２５'。

で構成され、ドライバ5とドレイン領域25'を共通にする一組のトランジスタを構成している。

接続線46を介して外部電源220に接続されたソース領域40'は、ドライバ1'及びドライバ4で共通に使用され、ソース領域42'は、ドライバ4'及びドライバ5で共通に使用されている。

各ワード線は外部電源220上方のセル・アレーに接続されている。

第7図中、素子領域9下方にデコーダ(図示せず)が設けられている。

ドライバ2のゲート電極80とドライバ2'のゲート電極81は、ドレイン領域20'を取り囲むようにして一体として形成され、信号線コンタクト67によりデコーダからの信号線61に接続されている。ドライバ3とドライバ3'、ドライバ6とドライバ6'、ドライバ1とドライバ1'、ドライバ4とドライバ4'、ドライバ5とドライバ5'のゲート電極も同様にして形成され、各信号線コンタクトによりデコーダからの各信号線に

接続されている。

本実施例のワード・ドライバはプリデコードを行わないので、例えば第1の実施例における1デコード・ピッチの幅は、本実施例においては2デコード・ピッチ分の幅となる。

第8図の等価回路を用いて、本実施例の半導体記憶装置の動作を説明する。

本等価回路は、各ドライバにpチャネルMOSトランジスタを用いて構成したワード・ドライバ及びデコード回路である。本等価回路は、プリデコードを用いない1デコードで1本のワード線を制御する1デコード・ピッチ分の回路である。

外部電源220のワード線活性化信号が入力されるpチャネルトランジスタQ3にワード線が接続されている。pチャネルトランジスタQ3が各ドライバに対応している。

pチャネルトランジスタQ3のゲート電極は、nチャネルトランジスタ305のゲート電極と接続され、デコード部（図中破線内）のインバータ302及びインバータ300を介してnチャネル

トランジスタ 303 及び p チャネルトランジスタ 307 に接続されている。

n チャネルトランジスタ 303 のゲート電極にはプリ・デコーダ（図示せず）からの信号 A0 が入力され、n チャネルトランジスタ 303 と直列に接続された n チャネルトランジスタ 304 のゲート電極にはプリ・デコーダからの信号 A1 が入力される。p チャネルトランジスタ 307 のゲート電極にはリセット信号 /R が入力される。

インバータ 300 の n チャネルトランジスタ 303 側に p チャネルトランジスタ 308 のドレインが接続され、インバータ 300 のインバータ 302 側が p チャネルトランジスタ 308 のゲート電極に接続されている。

アクセスすべきメモリ・セルのメモリ・アドレス下位 2 ビットより上位のビットはデコーダ前段のプリデコーダ（図示せず）でデコードされている。デコーダ部の入力 A0、A1 は、メモリ・アドレスの最下位ビット及び下位 2 ビット目に対応している。

入力信号 A 0、A 1 の両方に H レベル信号が入力されたときのみ、本回路のワード線が選択される。

入力信号 A 0、A 1 の両方が H レベルになると、p チャネルトランジスタ Q 3 及び n チャネルトランジスタ 3 0 5 のゲート電極は L レベルになる。従って本回路のワード線は H レベルになり目的のメモリ・セルが選択される。

本発明は上記実施例に限らず種々の変形が可能である。

例えば、本実施例は 1 / 2 プリデコードの場合で説明したが、1 / 4 プリデコード等でも実現することができる。

[発明の効果]

以上の通り、本発明によれば、ワード・ドライバを狭いデコーダ・ピッチの中に十分な信頼性をもってレイアウトすることができ、半導体記憶装置の高集積化に寄与する。

4. 図面の簡単な説明

第1図は本発明の第1の実施例による半導体記憶装置のワード・ドライバの平面図、

第2図は本発明の第1の実施例による半導体記憶装置のワード・ドライバのA-A断面図、

第3図は本発明の第1の実施例による半導体記憶装置のワード・ドライバのB-B断面図、

第4図は本発明の第1の実施例による半導体記憶装置の等価回路図、

第5図は本発明の第1の実施例による半導体記憶装置の等価回路図、

第6図は本発明の第2の実施例による半導体記憶装置のワード・ドライバの平面図、

第7図は本発明の第3の実施例による半導体記憶装置のワード・ドライバの平面図、

第8図は本発明の第3の実施例による半導体記憶装置の等価回路図、

第9図は従来の半導体記憶装置のワード・ドライバの平面図、

第10図は従来の半導体記憶装置のワード・ド

ライバの A - A 断面図、

第 11 図は従来の半導体記憶装置のワード・ド
ライバの B - B 断面図
である。

図において、

1 ～ 6 … ドライバ

1' ～ 6' … ドライバ

7、7'、7'' … 素子間分離領域

8、9 … 素子領域

8'、9' … 素子領域

10 ～ 15 … ワード線コンタクト

20 ～ 25 … ソース領域

20' ～ 25' … ドレイン領域

30 ～ 44 … ドレイン領域

30' ～ 44' … ソース領域

45 ～ 48 … 接続線

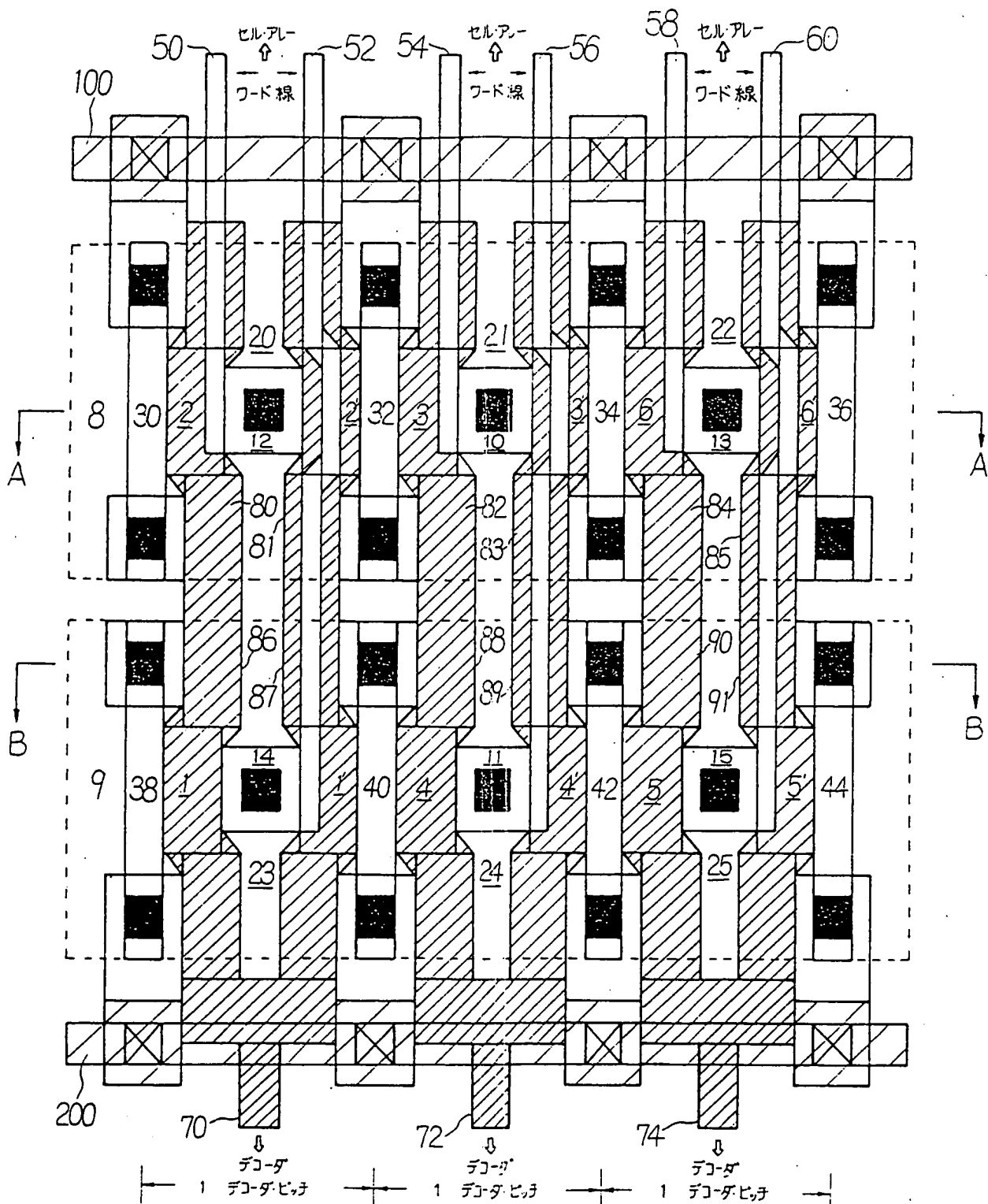
50 ～ 60 … ワード線

61 ～ 66 … 信号線

67 ～ 69 … 信号線コンタクト

7 0 ~ 7 4 ... 信号線
8 0 ~ 9 1 ... ゲート電極
1 0 0 ... 昇圧信号線
2 0 0 ... 昇圧信号線
2 2 0 ... 外部電源
3 0 0 ~ 3 0 2 ... インバータ
3 0 3 ~ 3 0 6 ... n チャネルトランジスタ
3 0 7、3 0 8 ... p チャネルトランジスタ
3 1 0 ... カットゲート
4 0 0 ... 昇圧電源
4 0 1 ... n チャネルトランジスタ
4 0 2、4 0 3 ... p チャネルトランジスタ

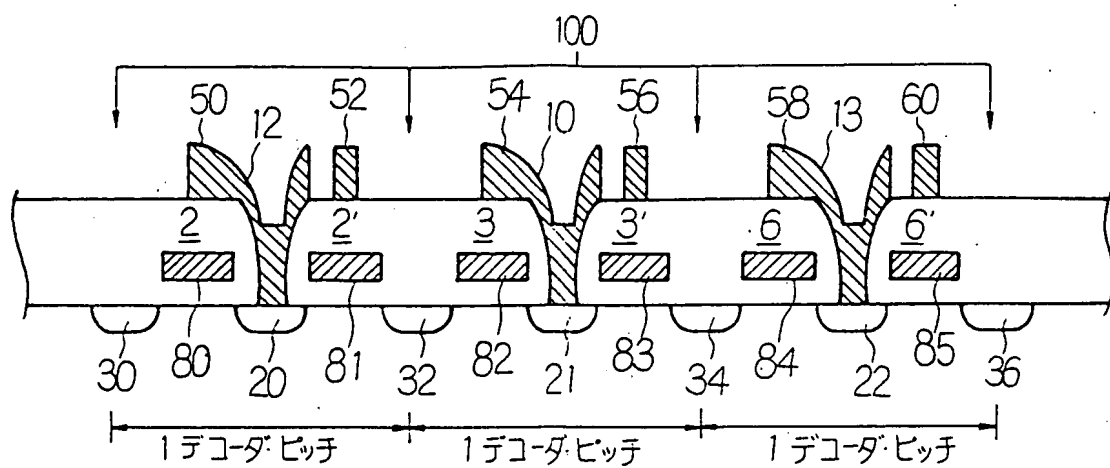
出願人 富 士 通 株 式 会 社
代理人 弁理士 北 野 好 人



- | | | |
|----------------|---------------------|-----------------|
| 1 ~ 6...ドライバ | 10 ~ 15...ワード線コンタクト | 70 ~ 74...信号線 |
| 1' ~ 6'...ドライバ | 20 ~ 25...ソース領域 | 80 ~ 91...ゲート電極 |
| 7...素子間分離領域 | 30 ~ 44...ドレイン領域 | 100...昇圧信号線 |
| 8, 9...素子領域 | 50 ~ 60...ワード線 | 200...昇圧信号線 |

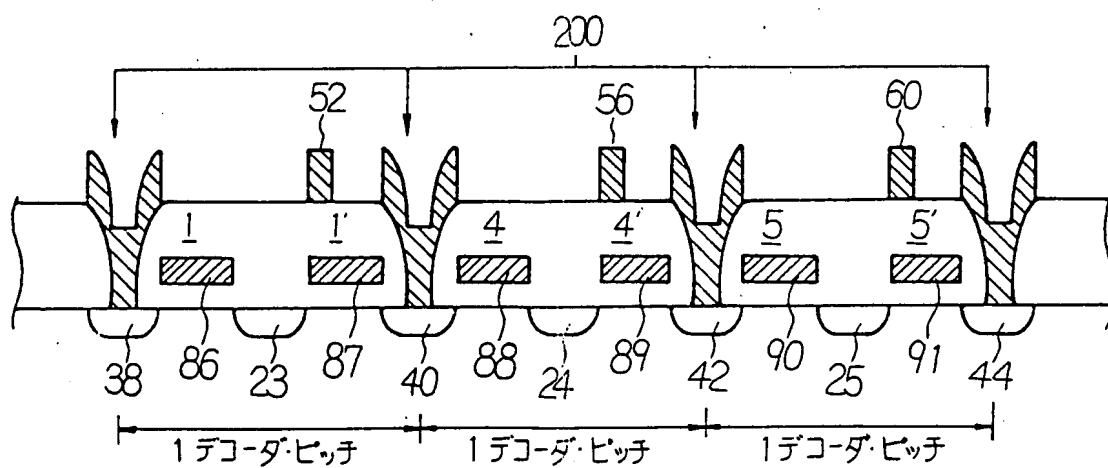
本発明の第1の実施例による半導体記憶装置のワード・ドライバの平面図

第1図



第1の実施例による半導体記憶装置のワード・ドライバのA-A断面図

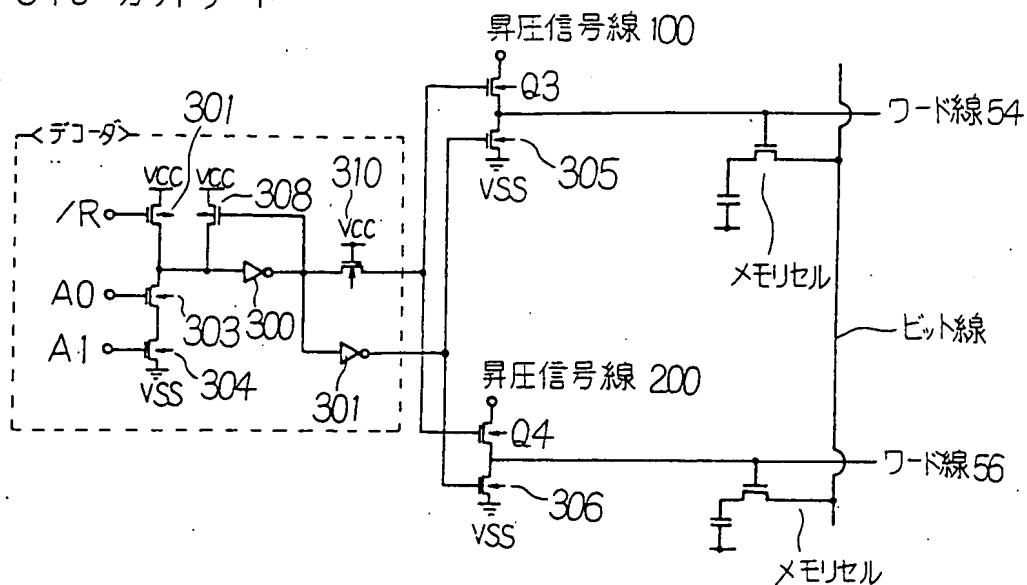
第2図



第1の実施例による半導体記憶装置のワード・ドライバのB-B断面図

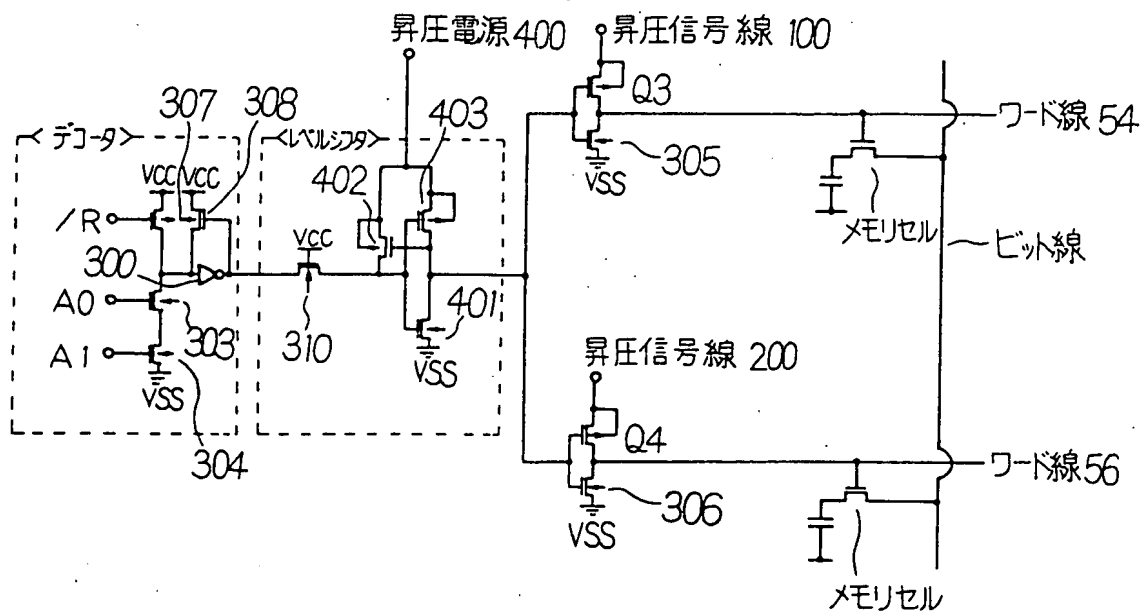
第3図

300~301...インバータ
 303~306...nチャネルトランジスタ
 307、308...pチャネルトランジスタ
 310...カットゲート



本発明の第1の実施例による半導体記憶装置の等価回路図

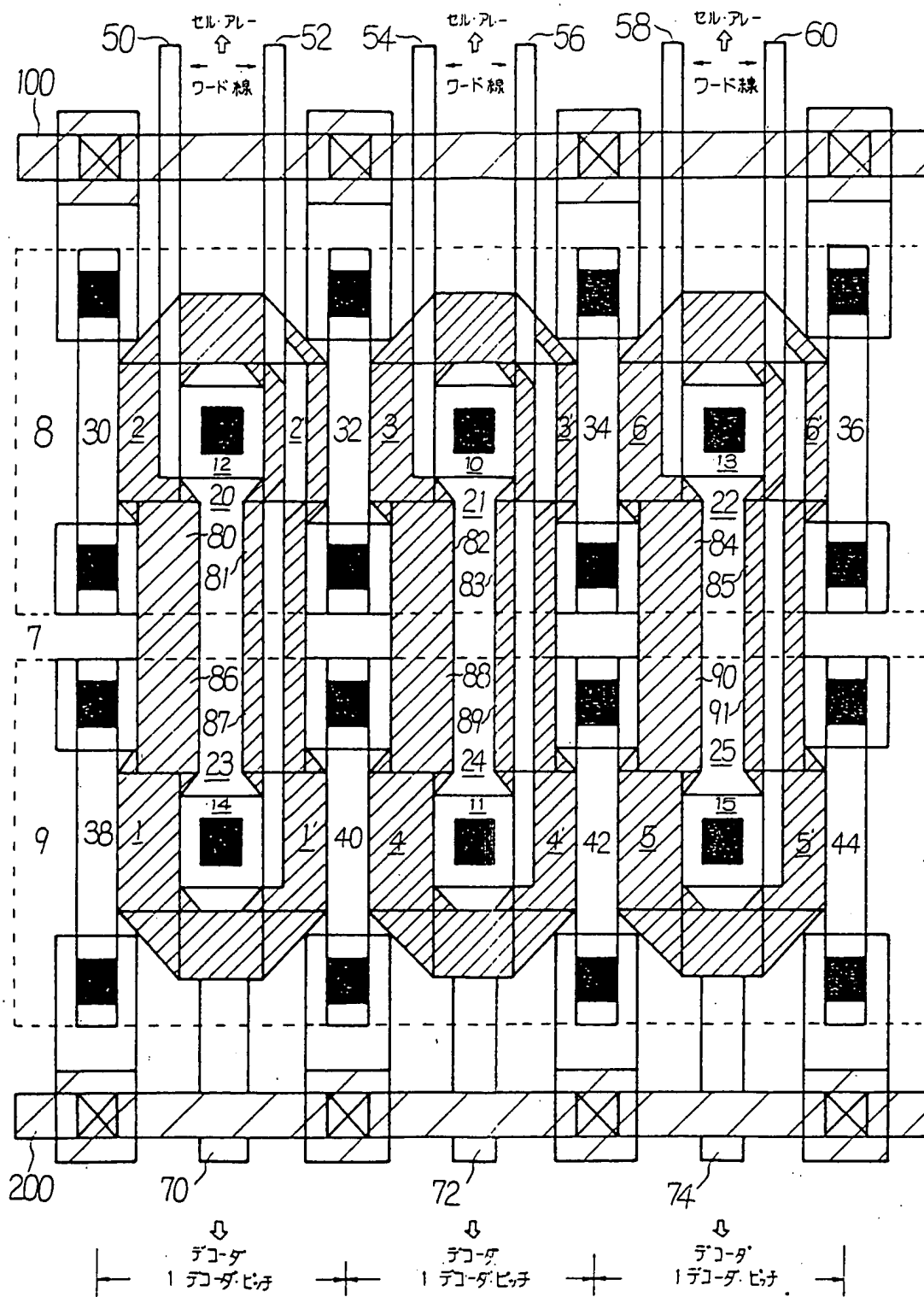
第4図



本発明の第1の実施例による半導体記憶装置の等価回路図

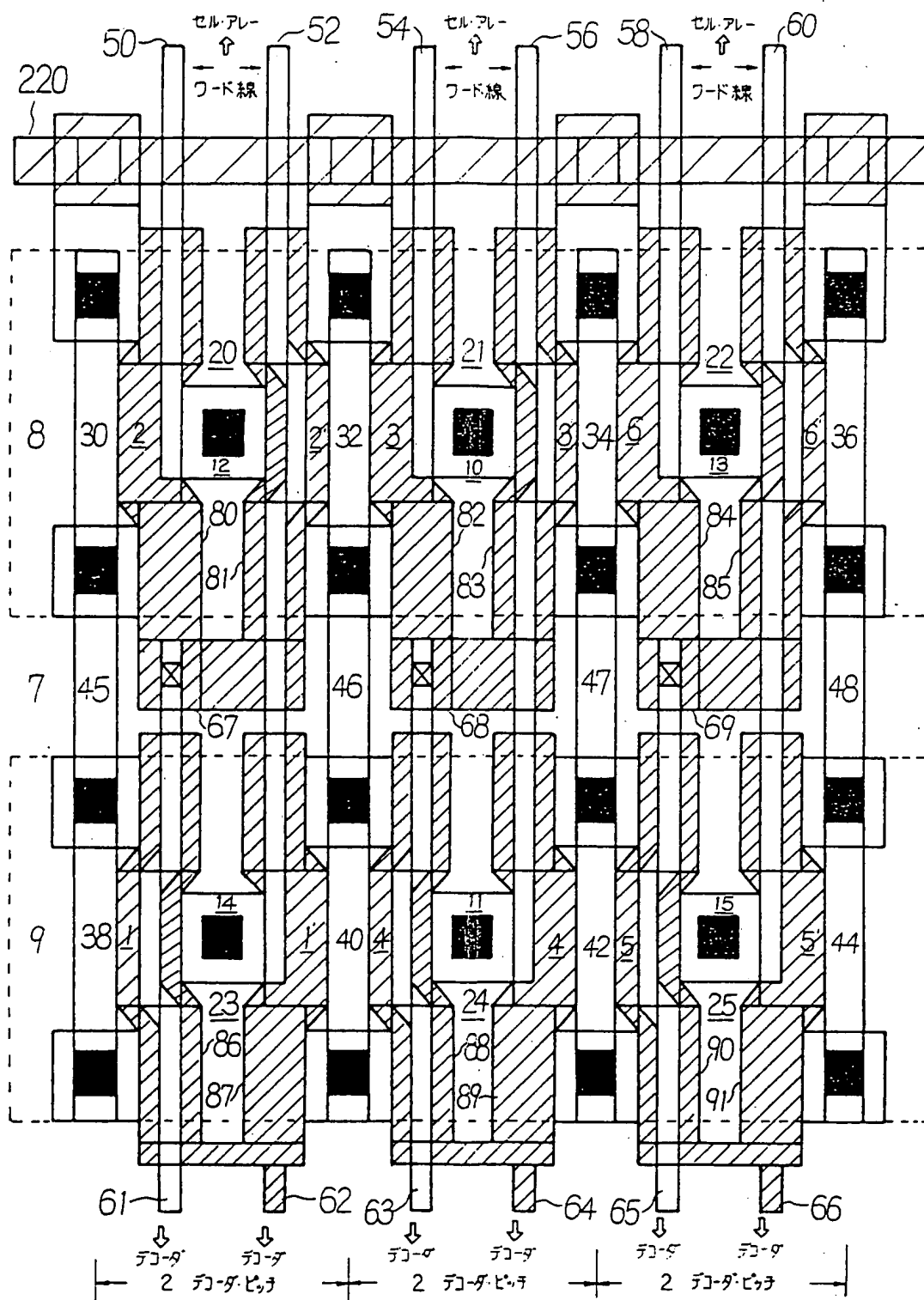
第5図

400...昇圧電源
 401...nチャネルトランジスタ
 402、403...pチャネルトランジスタ



本発明の第2の実施例による半導体記憶装置のワード・ドライバの平面図

第6図

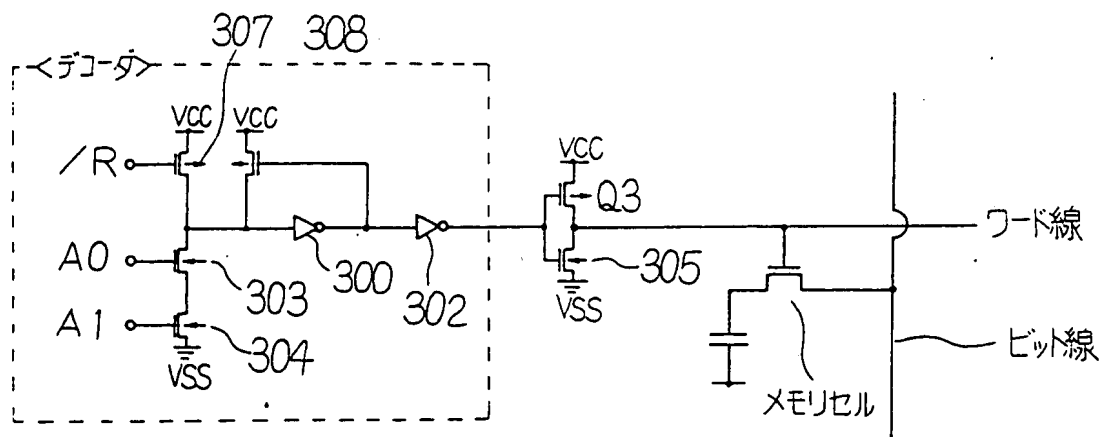


45~48...接続線 67~69...信号線コンタクト

61~66...信号線 220...外部電源

本発明の第3の実施例による半導体記憶装置のワード・ドライバの平面図

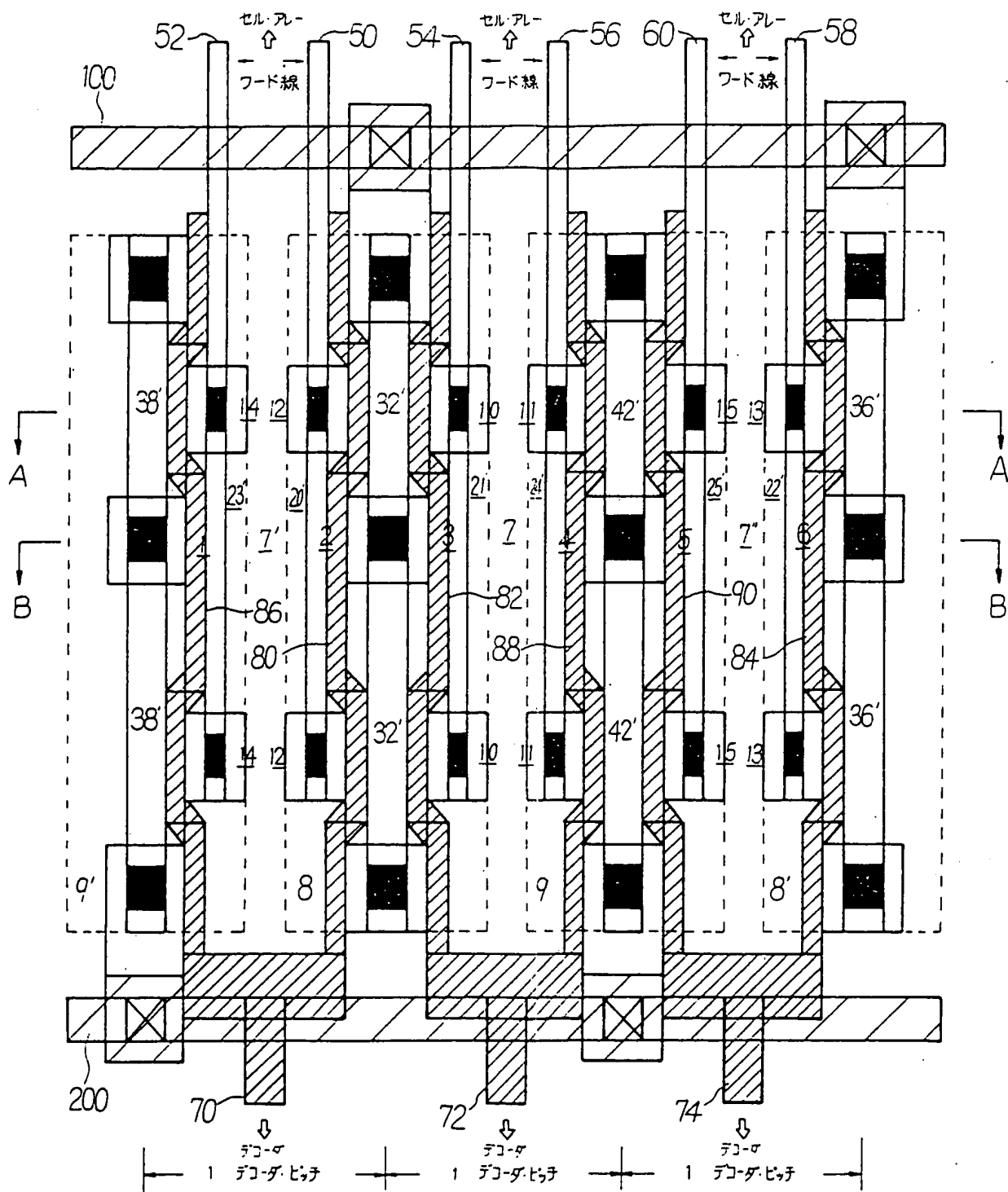
第7図



302---インバータ

本発明の第3の実施例による半導体記憶装置の等価回路図

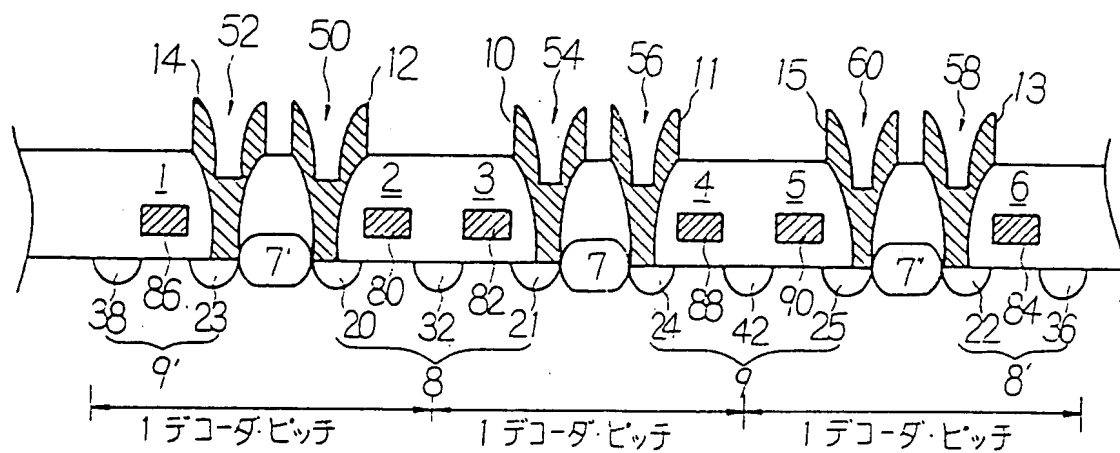
第8図



従来の半導体記憶装置のワード・ドライバの平面図

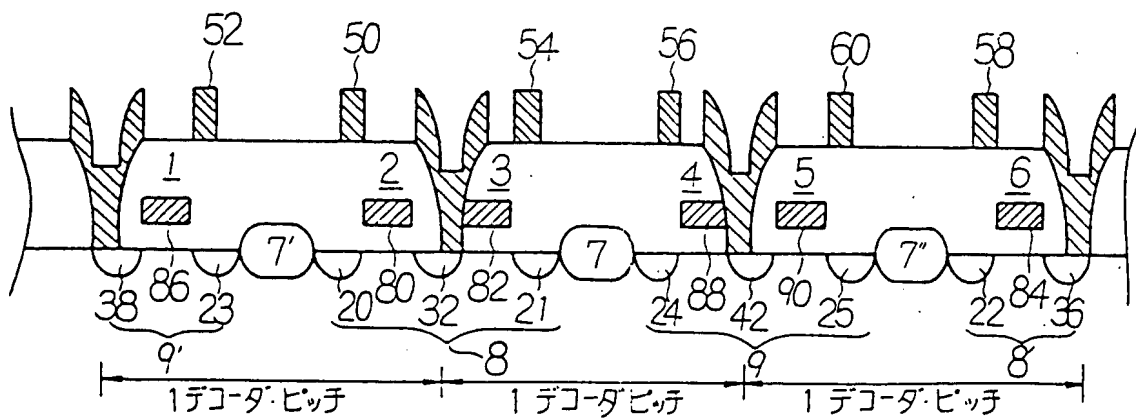
第9図

- 7', 7' ... 素子間分離領域
- 8', 9' ... 素子領域
- 20' ~ 25' ... ドレイン領域
- 32' ~ 42' ... ソース領域



従来の半導体記憶装置のワード・ドライバのA-A断面図

第10図



従来の半導体記憶装置のワード・ドライバのB-B断面図

第11図

代理人 弁理士 北野 好人